



**Seminar
über
Temporale Logik
Sommersemester 2011**

Temporale Logik ist eine Erweiterung der klassischen Logik um Operatoren wie NEXT, UNTIL, SOMETIMES, ALWAYS und erlaubt die Spezifikation von dynamischen Systemeigenschaften. Logiken dieser Art haben sich als äußerst nützlich bei der Verifikation von Hardware sowie Communication Protocols erwiesen. Insbesondere möchte man die Frage, ob eine Formel einer solchen Logik bezüglich der Modellierung eines vorliegenden Systems in einem Zustand gilt, algorithmisch beantworten. Man spricht dann von Model Checking.

Model Checking wie auch Probleme der Systemmodellierung werden in der aktuellen Forschung intensiv untersucht.

Im Seminar sollen verschiedene temporal-logische Systeme einschließlich ihrer Semantik vorgestellt sowie Probleme des Model Checking behandelt werden. Interessenten senden bitte eine Email an

spreen@math.uni-siegen.de